



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0073086 3027
Application Number

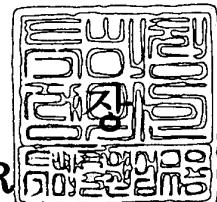
출원년월일 : 2002년 11월 22일
Date of Application NOV 22, 2002

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003년 02월 24일

특허청
COMMISSIONER





1020020073086

출력 일자: 2003/2/25

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.22
【발명의 명칭】	액정표시장치 및 그 구동방법
【발명의 영문명칭】	LIQUID CRYSTAL DISPLAY AND DRIVING METHOD THEREOF
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	권순영
【성명의 영문표기】	KWON,Sun Young
【주민등록번호】	710114-1923910
【우편번호】	730-100
【주소】	경상북도 구미시 비산동 489-1 전원리빙필 807호
【국적】	KR
【발명자】	
【성명의 국문표기】	백종상
【성명의 영문표기】	BACK,Jong-Sang
【주민등록번호】	661118-1644228
【우편번호】	730-040
【주소】	경상북도 구미시 협곡동 주공4단지 404동 506호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 호 (인) 김영



1020020073086

출력 일자: 2003/2/25

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	15	면	15,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】		44,000 원	
【첨부서류】		1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 게이트 하이 전압이 일정한 전압 이하로 떨어지는 이상 상태에서 게이트 드라이버의 출력을 제어하여 회로 소자를 보호할 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

본 발명의 액정표시장치는 액정패널 상의 게이트 라인들을 구동하는 게이트 드라이버와, 게이트 드라이버를 제어하는 타이밍 제어부와, 타이밍 제어부로부터 게이트 드라이버에 공급될 게이트 출력 인에이를 신호를 게이트 하이 전압의 전압레벨에 따라 선택적으로 차단하는 마스킹부를 구비하는 것을 특징으로 한다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

액정표시장치 및 그 구동방법{LIQUID CRYSTAL DISPLAY AND DRIVING METHOD THEREOF}

【도면의 간단한 설명】

도 1은 종래의 액정표시장치의 구성을 도시한 블록도.

도 2는 도 1의 마스킹부의 상세한 구성을 도시한 도면.

도 3은 도 2의 마스킹부의 입력 및 출력 신호에 대한 파형도.

도 4는 본 발명의 실시 예에 따른 액정표시장치의 구성을 도시한 블록도.

도 5은 도 4의 마스킹부의 상세한 구성을 도시한 도면.

도 6은 도 5의 마스킹부의 입력 및 출력 신호에 대한 파형도.

도 7은 도 5의 검출부의 상세한 구성을 도시한 도면.

도 8는 본 발명의 실시 예에 따른 액정표시장치의 구동방법을 단계적으로 도시한
플로우 챕트.

<도면의 부호에 대한 간단한 설명>

1,31 : 액정패널 3,33 : 게이트 드라이버

5,35 : 데이터 드라이버 7,41 : 마스킹부

9,29,43,58 : 타이밍 제어부 11,45 : 전원부

17,47,63 : 동기신호입력단자 19,49,65 : 리셋신호입력단자

21a, 21b, 21c, 21d, 21e, 21f, 51a, 51b, 51c, 51d, 51e, 51f, 61a, 61b : D 플립플롭

23a, 23b, 23c, 53a, 53b, 53c : 인버터

25, 55 : AND 게이트 27, 57a, 57b, 57c : OR 게이트

37 : 제 1 마스킹부 39 : 제 2 마스킹부

59 : 게이트하이전압입력단자 67 : 검출부

69 : 기간확장부 71 : 절환부

73 : 감지부 75 : 논리신호발생부

R1, R2, R3, R4 : 저항 Q1 : 트랜지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 액정표시장치에 관한 것으로, 특히 게이트 드라이버 이상출력방지기능을 가지는 액정표시장치 및 그 구동방법에 관한 것이다.

<23> 통상적으로, 컴퓨터 노트북의 모니터로 사용되는 액정표시장치(Liquid Crystal Display : 이하 "LCD")는 전계를 이용하여 액정의 광투과율을 조절함으로써 비디오 신호에 해당하는 화상을 표시하게 된다.

<24> 이러한 LCD는 도 1에 도시된 바와 같이, 액정셀들이 매트릭스형으로 배열된 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

<25> 액정패널은 게이트 라인들(GL1,GL2)과 데이터 라인들(DL1,DL2)과의 교차부 각각에 형성되어 액정셀(ClC)에 공급될 신호전압을 절환하기 위한 박막 트랜지스터(MN, Thin Film Transistor : 이하 "TFT")와 각각의 비디오 신호의 전압 레벨에 따라 광투과율을 조절하는 액정셀(ClC)을 구비한다.

<26> TFT(MN)는 게이트라인으로부터의 게이트 신호에 응답하여 데이터 라인으로부터의 비디오 신호를 액정셀(ClC)에 선택적으로 공급한다. 액정셀(ClC)은 액정을 사이에 두고 대면하는 공통 전극과 TFT(MN)에 접속된 화소전극(도시하지 않음)을 포함하며 아울러 공통 전극과 화소 전극 사이에 위치하는 액정 물질(도시하지 않음)을 가진다. 화소전극은 수직으로 교차하는 게이트 라인들과 데이터 라인들에 의해서 구획되는 셀 영역에 형성한다.

<27> 구동회로는 액정패널(1)상의 게이트 라인들을 구동하기 위한 게이트 드라이버(3)와, 액정패널(1)상의 데이터 라인들을 구동하기 위한 데이터 드라이버(5)와, 게이트 드라이버(3) 및 데이터 드라이버(5)에 타이밍 제어 신호를 공급하여 이들을 제어함과 아울러 데이터 드라이버(5)에 화소 데이터를 공급하는 타이밍 제어부(9)를 구비한다. 또한, 구동회로는 전체 시스템을 구동하기 위한 전원 전압을 공급하는 전원부(11)와, 게이트 드라이버(3)에 공급될 제어 신호 중 하나인 게이트출력 인에이블 신호(Gate Output Enable : 이하 "GOE")를 마스킹(masking) 해 주는 마스킹부(7)를 더 포함하여 구비한다.

<28> 데이터 드라이버(5)는 타이밍 제어부(9)로부터 적색(R), 녹색(G) 및 청색(B)의 데이터신호와 함께 데이터 클럭등의 데이터 제어신호를 입력한다. 게이트 드라이버(3)가

게이트 신호(또는 스캐닝 신호)가 게이트 라인에 공급될 때마다 데이터 라인에 1라인분의 화소 데이터에 해당하는 화소 신호들을 인가하는 역할을 한다.

<29> 게이트 드라이버(3)는 게이트 라인들에 순차적으로 게이트 신호를 공급하여 각 게이트 라인들을 1수평동기신호기간씩 순차적으로 구동한다. 즉, 순차적으로 게이트 라인을 선택하는 게이트 신호(또는 스캐닝 신호)를 발생하는 역할을 한다. 각 게이트라인에는 해당 수직동기기간동안에만 게이트 하이(HIGH)전압이 공급되고, 나머지 기간에는 게이트 로우(LOW)전압이 인가된다. 이 게이트 드라이버(3)로부터 입력되는 게이트 신호(또는 스캔신호)에 응답하는 TFT(MN)를 경유하여 데이터라인(DL) 상의 비디오 데이터가 액정셀(Cl_c)의 화소전극에 공급된다.

<30> 타이밍 제어부(9)는 외부로부터(예를 들면, 컴퓨터 본체 내의 그래픽 카드(Graphic Card)로부터) 입력되는 데이터 클럭, 수평 및 수직동기신호등에 응답하여 게이트 드라이버(3)와 데이터 드라이버(5)의 구동 타이밍을 제어한다. 이를 위하여, 타이밍 제어부(9)는 데이터 클럭, 수평 및 수직동기신호를 이용하여 게이트 출력인에이블신호(GOE) 및 데이터 출력인에이블신호를 포함한 게이트 드라이버(3) 및 데이터 드라이버(5)에 필요한 제어신호를 발생한다. 또한, 타이밍 제어부(9)는 외부로부터의 입력 비디오 데이터 신호(R,G,B)를 데이터 드라이버(5)에 공급하게 된다.

<31> 전원부(11)는 전체 시스템의 구동을 위해 각각의 회로부에 전원전압을 공급한다.

<32> 마스킹부(7)는 리셋신호(RESET)의 논리상태에 따라 게이트 드라이버(3)의 출력 시점을 지정하는 게이트 출력인에이블(GOE) 신호를 선택적으로 마스킹(masking)한다.

<33> 이러한 마스킹부는 도 2와 같다. 도 2의 마스킹부는 도 3의 파형도와 결부되어 설명될 것이다.

<34> 도 2를 참조하면, 마스킹부(7)는 동기신호입력단자(17)로부터 제 1 인버터(23a)를 경유하는 수직동기신호(BVSY)로 자신들의 출력단자(CLK)로 입력하는 제 1 플립플롭(Flip-Flop : 이하 "F/F") (21a) 내지 제 6 D F/F(21f)와, 리셋입력단자(19)로부터의 리셋신호(RESET)와 제 1 D F/F(21a)의 출력신호를 논리곱 연산하는 AND 게이트(25)를 구비한다. 또한, 마스킹부(7)는 제 2 및 제 3 인버터(23b, 23c)의 출력신호측에 의해 타이밍제어부(9)로부터의 게이트출력인에이블신호(GOE)를 절환하는 OR 게이트(27)를 더 포함하여 구비한다.

<35> 각각의 D F/F들(21)은 자신의 클럭단자(CLK)에 공급되는 제 1 인버터(23a)로부터의 반전된 수직동기신호가 로우(LOW)상태에서 하이(HIGH)상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 또한, 각각의 D F/F들(21)은 자신의 프리셋입력 단자(PR)로 전원 전압(Vcc)를 공급받는다. 아울러, 각각의 D F/F들(21)은 자신의 클리어 단자(CLR)로 리셋신호(RESET)신호를 공급받는다. 리셋신호(RESET)가 로우(LOW)논리 상태에 있는 동안 각각의 D F/F들(21) 각각은 출력단자(Q) 및 비반전출력단자(\overline{Q})를 초기화한다. 비반전출력단자(\overline{Q})에서 나온 신호는 출력단자(Q)를 통한 출력신호와 상반된 극성을 갖는다.

<36> 도 3를 참조하면, 전원 전압(Vcc)과 리셋신호(RESET)는 전원 공급시부터 정상전압을 유지한다.

<37> 제 1 D F/F(21a)는 리셋입력단자(19)로부터 리셋신호(RESET)를 자신의 입력 단자(D)로, 동기신호입력단자(17)로부터 수직동기신호(BVSY)를 제 1인버터(23a)를 통해 클럭 단자(CLK)쪽으로 반전 입력한다. 또한, 제 1 D F/F(21a)는 클럭단자(CLK)에 반전 입력된 수직동기신호(BVSY)가 처음 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 리셋신호(RESET)를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 1 D F/F(21a)는 1 수직동기신호에 해당하는 기간만큼 리셋신호(RESET)를 지연시킨다.

<38> AND 게이트(25)는 제 1 D F/F(21a)의 출력단자(Q)와 제 2 D F/F(21b) 입력단자(D) 사이에 접속되며, 제 1 D F/F(21a)의 출력단자(Q)상 1 차 지연된 리셋신호(RESET)와 리셋입력단자(19)로부터 입력된 리셋신호(RESET)를 논리곱(즉,AND) 연산을 수행한다. 또한, AND 게이트 (25)는 제 1 D F/F(21a)의 출력단자(Q)로 출력되는 신호를 제 2 D F/F(21b)의 입력 단자(D)로 입력되는 신호를 확실하게 하기 위해서이다. 그러나, AND 게이트(25)는 없어도 무관하다.

<39> 제 2 D F/F(21b)은 AND 게이트(25)에 의해 논리곱 연산을 되어진 출력신호를 자신의 입력 단자(D)로, 제 1 인버터(23a)를 통해 반전된 수직동기신호(BVSY)를 클럭단자(CLK)에 입력한다. 제 2 D F/F(21b)의 출력단자(Q)로 나온 신호는 제 3 D F/F(21c)의 데이터 입력단자(D)로 입력한다. 그리고 제 2 D F/F(21b)는 클럭단자(CLK)로 입력되는 반전된 수직동기신호(BVSY)가 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 1차 지연된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 2 D F/F(21b)

는 제 1 D F/F(21a)에 의해 1 차례 지연된 리셋신호(RESET)를 1 수직동기신호에 해당하는 기간만큼 다시 지연시킨다. 즉, 제 2 D F/F(21b)은 2 차 지연시킨다.

<40> 제 3 DF/F(21c)은 제 2 D F/F(21b)의 출력단자(Q)상의 2차 지연된 리셋신호(RESET) 자신의 입력 단자(D)로 입력한다. 또한, 제 3 D F/F(21c)은 자신의 출력단자(Q)로 나온 신호를 제 4 D F/F(21d)의 데이터 입력단자(D)에 공급한다. 그리고 제 3 D F/F(21c)은 클럭단자(CLK)로 입력되는 반전된 수직동기신호(BVSY)가 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 2차 지연된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 3 D F/F(21c)는 제 1 D F/F(21a) 및 제 2 D F/F(21b)에 의해 2차례 지연된 리셋신호(RESET)를 1 수직동기신호에 해당하는 기간만큼 다시 지연시킨다. 즉, 제 3 D F/F(21c)은 3 차 지연시킨다.

<41> 제 4 DF/F(21d)은 제 3 D F/F(21c)의 출력단자(Q)상의 3차 지연된 리셋신호(RESET) 자신의 입력 단자(D)로 입력한다. 또한, 제 4 D F/F(21d)은 자신의 출력단자(Q)로 나온 신호를 제 5 D F/F(21e)의 데이터 입력단자(D)에 공급한다. 그리고 제 4 D F/F(21d)은 클럭단자(CLK)로 입력되는 반전된 수직동기신호(BVSY)가 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 3 차 지연된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 4 D F/F(21d)는 제 1 D F/F(21a) 내지 제 3 D F/F(21c)에 의해 3차례 지연된 리셋신호(RESET)를 1 수직동기신호에 해당하는 기간만큼 다시 지연시킨다. 즉, 제 4 D F/F(21d)은 4 차 지연시킨다.

<42> 제 5 D F/F(21e)은 제 4 D F/F(21d)의 출력단자(Q)상의 4차 지연된 리셋신호(RESET) 자신의 입력 단자(D)로 입력한다. 또한, 제 5 D F/F(21e)은 자신의 출력단자(Q)로 나온 신호를 제 6 D F/F(21f)의 데이터 입력단자(D)에 공급한다. 그리고 제 5 D F/F(21e)은 클럭단자(CLK)로 입력되는 반전된 수직동기신호(BVSY)가 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 4차 지연된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 5 D F/F(21f)는 제 1 D F/F(21a) 내지 제 4 D F/F(21d)에 의해 4차례 지연된 리셋신호(RESET)를 1 수직동기신호에 해당하는 기간만큼 다시 지연시킨다. 즉, 제 5 D F/F(21e)은 5 차 지연시킨다.

<43> 제 6 D F/F(21f)은 제 5 D F/F(21e)의 출력단자(Q)에 출력된 5차 지연 신호를 자신의 입력 단자(D)로 입력한다. 또한, 제 6 D F/F(21f)은 자신의 출력단자(Q)로 나온 신호를 제 2 인버터(23b)에 공급한다. 그리고, 제 6 D F/F(21f)은 클럭단자(CLK)로 입력되는 반전된 수직동기신호(BVSY)가 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 5차 지연된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 6 D F/F(21f)은 제 1 D F/F(21a) 내지 제 5 D F/F(21e)에 의해 5차 지연된 리셋신호(RESET)를 1 수직동기신호에 해당하는 기간만큼 또 다시 지연시킨다. 즉, 6 D F/F(21f)은 6 차 지연시킨다.

<44> 제 2 인버터(23b)는 제 6 D F/F(21f)의 출력단자(Q)를 통해 지연된 출력 신호를 반전시키고, 그 반전된 리셋신호(RESET) 신호를 OR 게이트(27)에 공급한다.

<45> OR 게이트(27)는 제 2 및 제 3 인버터(23b, 23c)의 출력신호들과 타이밍 제어부(29)로부터의 게이트 출력 인에이블 입력(Gate Output Enable Input : 이하 "GOE_IN") 신호를 논리합(즉, OR) 연산을 수행한다. 즉, OR 게이트(27)는 각각의 D F/F들(21) 및 제 2 인버터(23b)에 의해 지연 반전된 리셋신호(RESET)와 제 3 인버터(23c)에 의해 반전된 리셋신호(RESET)의 논리상태에 따라 게이트출력인에이블입력신호(GOE_IN)를 절환하게 된다. 이 OR 게이트(27)에 의해 도 3에 도시된 것처럼 리셋신호가 로우(LOW) 논리에서 하이(HIGH) 논리로 변한 시점으로부터 6개의 수직동기신호의 기간동안 차단되는 형태의 파형을 가진다.

<46> 결과적으로, 마스킹부는 도 3에서와 같이, 리셋신호(RESET)가 로우(LOW) 논리를 유지하는 기간은 물론이거니와 리셋신호가 로우(LOW) 논리에서 하이(HIGH) 논리로 변한 시점으로부터 6개의 수직동기신호에 해당하는 기간동안 게이트출력인에이블신호(GOE)를 추가로 더 차단하게 된다.

<47> 이와 같이 종래 LCD의 마스킹부는 전원 인가시부터 일정한 수직동기기간만큼 게이트출력인에이블신호(GOE)를 마스킹(masking)하여 LCD에 전원 인가 시점 부근에서 발생하는 과전류가 공급되지 않게 하고 있다. 그러나, 게이트 드라이버(3)가 정상 동작 중에 전원의 불안정으로 게이트하이전압(Gate High Voltage : 이하 "VGH")이 규정된 전압레벨에서 그보다 작은 전압레벨로 야기될 수 있다. 게이트 하이전압(VGH)의 이상상태시에 게이트 드라이버(3) 및 액정패널(1)내의 회로소자와 그리고 데이터 드라이버(5)의 회로 소자에 과전류가 흐를 수 있으며, 이 과전류에 의해 게이트 드라이버(5), 액정패널(1) 및 데이터 드라이버(3)가 손상될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<48> 따라서, 본 발명의 목적은 게이트 하이 전압(VGH)의 변동으로부터 회로소자를 보호하기에 적합한 액정표시장치 및 그 구동방법을 제공함에 있다.

【발명의 구성 및 작용】

<49> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 게이트 라인들을 구동하는 게이트 드라이버와 상기 게이트 드라이버를 제어하는 타이밍 제어부와 상기 타이밍 제어부로부터 게이트 드라이버에 공급될 게이트 출력 인에이블 신호를 게이트 하이 전압의 상태에 따라 선택적으로 차단하는 마스킹부를 구비하는 것을 특징으로 한다.

<50> 상기 마스킹부는 상기 게이트하이전압이 규정된 전압이하로 떨어지는 이상구간에서 상기 게이트출력인에이블 신호를 차단하는 것을 특징으로 한다.

<51> 상기 마스킹부는 상기 게이트하이전압의 이상구간을 감지하여 게이트전압이상감지신호를 발생하는 검출부와 상기 게이트전압이상감지신호에 따라 상기 게이트출력인에이블신호와 상기 게이트전압이상감지신호를 절환하는 절환부를 구비하는 것을 특징으로 한다.

<52> 상기 마스킹부는 상기 검출부와 상기 절환부 사이에 접속되어 상기 게이트전압이상감지신호를 이용해서 상기 게이트출력인에이블신호가 차단되는 기간을 일정기간 더 확장하기 위한 기간확장부를 더 구비하는 것을 특징으로 한다.

<53> 상기 기간확장부는 상기 게이트전압이상감지신호를 일정기간동안 지연시켜 상기 절환부로 공급하는 것을 특징으로 한다.

<54> 상기 검출부는 상기 게이트하이전압의 전압 레벨을 감지하는 감지부와 상기 감지된 게이트하이전압의 전압 레벨에 따라 하이 상태 및 로우 상태 중 어느 한 논리상태를 가지는 상기 게이트전압이상감지신호를 발생하여 상기 절환부로 공급하는 논리신호발생부를 구비하는 것을 특징으로 한다.

<55> 상기 마스킹부는 상기 타이밍 제어부로부터 상기 마스킹부로 공급될 상기 게이트출력인에이블신호를 상기 리셋 신호에 따라 선택적으로 차단하는 제 2 마스킹부를 더 구비하는 것을 특징으로 한다.

<56> 본 발명에 따른 액정표시장치의 구동방법은 게이트하이전압의 이상 유무를 감지하여 게이트전압이상감지신호를 발생하는 단계와 상기 게이트전압이상감지신호에 따라 타이밍 제어부로부터 게이트 드라이버로 공급될 게이트출력인에이블신호를 선택적으로 차단하는 단계를 포함하는 것을 특징으로 한다.

<57> 상기 게이트출력인에이블신호를 선택적으로 차단하는 단계는 상기 게이트하이전압이 규정된 전압이하로 떨어지는 이상구간시 차단하는 단계인 것을 특징으로 한다.

<58> 상기 게이트전압이상감지신호를 발생하는 단계는 상기 게이트하이전압의 전압레벨을 감지하는 단계와 상기 감지된 전압레벨에 따라 하이 상태 및 로우 상태 중 어느 한 논리상태를 가지는 상기 게이트전압이상감지신호를 발생하는 단계를 포함하는 것을 특징으로 한다.

<59> 상기 게이트전압이상감지신호에 응답하여 상기 게이트출력인에이블신호가 일정기간 더 차단되게 하는 단계를 더 포함하는 것을 특징으로 한다.

<60> 상기 게이트출력인에이블신호를 선택적으로 차단하는 단계는 상기 게이트하이전압이 정상상태인 경우 상기 게이트출력인에이블신호가 게이트 드라이버로 출력되게 하고, 상기 게이트하이전압이 이상상태인 경우 상기 게이트출력인에이블신호가 차단되게 하는 것을 특징으로 한다.

<61> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면을 참조한 실시예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.

<62> 도 4는 본 발명의 실시예에 따른 액정표시장치(LCD)의構成을 개략적으로 도시한 블록도이다.

<63> 액정표시장치(LCD)는 도 4에 도시된 바와 같이, 액정셀들이 매트릭스형으로 배열된 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

<64> 액정패널은 게이트 라인들(GL1,GL2)과 데이터 라인들(DL1,DL2)와의 교차부 각각에 형성되어 액정셀(Cl_c)에 공급될 신호전압을 절환하기 위한 TFT(MN)와, 각각의 비디오 신호의 전압 레벨에 따라 광투과율을 조절하는 액정셀(Cl_c)을 구비한다.

<65> TFT(MN)는 게이트라인으로부터의 게이트 신호에 응답하여 데이터 라인으로부터의 비디오 신호를 액정셀(Cl_c)에 선택적으로 공급한다. 액정셀(Cl_c)은 액정을 사이에 두고 대면하는 공통 전극과 TFT(MN)에 접속된 화소전극(도시하지 않음)을 포함하며 아울러 공통 전극과 화소 전극 사이에 위치하는 액정 물질(도시하지 않음)을 가진다. 화소전극은 수직으로 교차하는 게이트 라인들과 데이터 라인들에 의해서 구획되는 셀 영역에 형성한다.

<66> 구동회로는 액정패널(31)상의 게이트 라인들을 구동하기 위한 게이트 드라이버(33)와, 액정패널(31)상의 데이터 라인들을 구동하기 위한 데이터 드라이버(35)와, 게이트 드라이버(33) 및 데이터 드라이버(35)에 타이밍 제어 신호를 공급하여 이들을 제어함과 아울러 데이터 드라이버(35)에 화소 데이터를 공급하는 타이밍 제어부(43)를 구비한다. 또한, 구동회로는 전체 시스템을 구동하기 위한 전원 전압을 공급하는 전원부(45)와, 게이트 드라이버(33)에 공급될 제어 신호 중 하나인 게이트출력인에이블신호(GOE)를 마스킹(masking) 해 주는 마스킹부(7)를 더 포함하여 구비한다.

<67> 데이터 드라이버(35)는 타이밍 제어부(43)로부터 적색(R), 녹색(G) 및 청색(B)의 데이터신호와 함께 데이터 클럭등의 데이터 제어신호를 입력한다. 게이트 드라이버(3)로부터의 게이트 신호(또는 스캐닝 신호)가 게이트 라인에 공급될 때마다 데이터 라인에 1라인분의 화소 데이터에 해당하는 화소 신호들을 인가하는 역할을 한다.

<68> 게이트 드라이버(33)는 게이트 라인들(GL1,GL2)에 순차적으로 게이트 신호를 공급하여 각 게이트 라인들(GL1,GL2)을 1수평동기신호기간씩 순차적으로 구동한다. 즉, 순차적으로 게이트 라인을 선택하는 게이트 신호(또는 스캐닝 신호)를 발생하는 역할을 한다. 각 게이트라인에는 해당 수직동기기간동안 게이트 하이(HIGH)전압이 공급되고, 나머지 기간에는 게이트 로우(LOW)전압이 인가된다. 이 게이트 드라이버(33)로부터 입력되는 게이트 신호(또는 스캔신호)에 응답하는 TFT(MN)를 경유하여 데이터라인(DL) 상의 비디오 데이터가 액정셀(C1c)의 화소전극에 공급된다.

<69> 타이밍 제어부(43)는 외부로부터(예를 들면, 컴퓨터 본체 내의 그래픽 카드(Graphic Card)로부터) 입력되는 데이터 클럭, 수평 및 수직동기신호등에 응답하여 게이트 드라이버(33)와 데이터 드라이버(35)의 구동 타이밍을 제어한다. 이를 위하여, 타이밍 제어부

(9)는 데이터 클럭, 수평 및 수직동기신호를 이용하여 게이트출력인에이블신호(GOE) 및 데이터출력인에이블신호를 포함한 게이트 드라이버(33) 및 데이터 드라이버(35)에 필요 한 제어신호를 발생한다. 또한, 타이밍 제어부(43)는 외부로부터의 입력 비디오 데이터 신호(R,G,B)를 데이터 드라이버(35)에 공급하게 된다.

- <70> 전원부(45)는 전체 시스템의 구동을 위해 각각의 회로부에 전원전압을 공급한다.
- <71> 마스킹부(41)는 리셋신호(RESET) 및 게이트하이전압(VGH)의 상태에 응답하여 게이트 드라이버(33)의 출력 시점을 지정하는 게이트출력인에이블(GOE) 신호를 선택적으로 마스킹(masking)한다. 이러한 마스킹부(41)는 리셋신호에 응답하는 마스킹부(37)와 게이트하이전압의 상태에 응답하는 제 2 마스킹부(39)를 구비한다.
- <72> 본 발명의 실시 예에 따른 마스킹부의 상세한構성을 도시한 도면은 도 5와 같다. 도 5의 마스킹부는 도 6의 파형도와 결부되어 설명될 것이다.
- <73> 도 5를 참조하면, 제 1 마스킹부(37)는 동기신호입력단자(47)로부터 제 1 인버터(53a)를 경유하는 수직동기신호(BVSY)로 자신들의 출력단자(CLK)로 입력하는 제 1 F/F(51a) 내지 제 6 F/F(51f)와, 리셋입력단자(59)로부터의 리셋신호(RESET)와 제 1 D F/F(51a)의 출력신호를 논리곱 연산하는 AND 게이트(55)를 구비한다. 또한, 제 1 마스킹부(37)는 제 2 및 제 3 인버터(53b, 53c)의 출력신호측에 의해 타이밍 제어부(43)로부터의 게이트출력인에이블(GOE) 신호를 절환하는 제 1 OR 게이트(57a)를 더 포함하여 구비 한다.
- <74> 각각의 D F/F들(21)은 자신의 클럭단자(CLK)에 공급되는 제 1 인버터(53a)로부터의 반전된 수직동기신호(BVSY)가 로우(LOW)상태에서 하이(HIGH)상태로 변하는 시점, 즉 반

전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 또한, 각각의 D F/F들(51)은 자신의 프리셋 입력 단자(PR)로 전원 전압(Vcc)을 공급받는다. 아울러, 각각의 D F/F들(51)은 자신의 클리어 단자(CLR)로 리셋신호(RESET)신호를 공급받는다. 리셋신호(RESET)가 로우(LOW) 논리 상태에 있는 동안 각각의 D F/F들(21) 각각은 출력단자(Q) 및 비반전출력단자(\overline{Q})를 초기화한다. 비반전출력단자(\overline{Q})에서 나온 신호는 출력단자(Q)를 통한 출력신호와 상반된 극성을 갖는다.

<75> 도 6를 참조하면, 전원 전압(Vcc)과 리셋신호(RESET)는 전원 공급시부터 정상전압을 유지한다.

<76> 제 1 D F/F(51a)는 리셋신호입력단자(49)로부터 리셋신호(RESET)를 자신의 입력 단자(D)로, 동기신호입력단자(47)로부터 수직동기신호(BVSY)를 제 1인버터(53a)를 통해 클럭단자(CLK)쪽으로 반전 입력한다. 또한, 제 1 D F/F(51a)는 클럭단자(CLK)에 반전 입력된 수직동기신호(BVSY)가 처음 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 리셋신호(RESET)를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 1 D F/F(51a)는 1 수직동기신호에 해당하는 기간만큼 리셋신호(RESET)를 지연시킨다.

<77> AND 게이트(55)는 제 1 D F/F(51a)의 출력단자(Q)와 제 2 D F/F(51b) 입력단자(D) 사이에 접속되며, 제 1 D F/F(51a)의 출력단자(Q)상 1 차 지연된 리셋신호(RESET)와 리셋신호입력단자(49)로부터 입력된 리셋신호(RESET)를 논리곱(즉,AND) 연산을 수행한다. 또한, AND 게이트 (55)는 제 1 D F/F(51a)의 출력단자(Q)로 출력되는 신호를 제 2 D

F/F(51b)의 입력 단자(D)로 입력되는 신호를 확실하게 하기 위해서이다. 그러나, AND 게이트(55)는 없어도 무관하다.

<78> 제 2 D F/F(51b)은 AND 게이트(55)에 의해 논리곱 연산 되어진 출력신호를 자신의 입력 단자(D)로, 제 1 인버터(53a)를 통해 반전된 수직동기신호(BVSY)를 클럭단자(CLK)에 입력한다. 제 2 D F/F(51b)의 출력단자(Q)로 나온 신호는 제 3 D F/F(51c)의 데이터 입력단자(D)로 입력한다. 그리고 제 2 D F/F(51b)는 클럭단자(CLK)로 입력되는 반전된 수직동기신호(BVSY)가 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 1차 지연된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 2 D F/F(51b)는 제 1 D F/F(51a)에 의해 1 차례 지연된 리셋신호(RESET)를 1 수직동기신호에 해당하는 기간 만큼 다시 지연시킨다. 즉, 제 2 D F/F(51b)은 2 차 지연시킨다.

<79> 제 3 D F/F(51c)은 제 2 D F/F(51b)의 출력단자(Q)상의 2차 지연된 리셋신호(RESET) 자신의 입력 단자(D)로 입력한다. 또한, 제 3 D F/F(51c)은 자신의 출력단자(Q)로 나온 신호를 제 4 D F/F(51d)의 데이터 입력단자(D)에 공급한다. 그리고 제 3 D F/F(51c)은 클럭단자(CLK)로 입력되는 반전된 수직동기신호(BVSY)가 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 2차 지연된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 3 D F/F(51c)는 제 1 D F/F(51a) 및 제 2 D F/F(51b)에 의해 2 차례 지연된 리셋신호(RESET)를 1 수직동기신호에 해당하는 기간만큼 다시 지연시킨다. 즉, 제 3 D F/F(51c)은 3 차 지연시킨다.

<80> 제 4 D F/F(51d)은 제 3 D F/F(51c)의 출력단자(Q)상의 3차 지연된 리셋신호(RESET) 자신의 입력 단자(D)로 입력한다. 또한, 제 4 D F/F(51d)은 자신의 출력단자(Q)로 나온 신호를 제 5 D F/F(51e)의 데이터 입력단자(D)에 공급한다. 그리고 제 4 D F/F(51d)은 클럭단자(CLK)로 입력되는 반전된 수직동기신호(BVSY)가 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 3 차 지연된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 4 D F/F(51d)는 제 1 D F/F(51a) 내지 제 3 D F/F(51c)에 의해 3차례 지연된 리셋신호(RESET)를 1 수직동기신호에 해당하는 기간만큼 다시 지연시킨다. 즉, 제 4 D F/F(51d)은 4 차 지연시킨다.

<81> 제 5 D F/F(51e)은 제 4 D F/F(51d)의 출력단자(Q)상의 4차 지연된 리셋신호(RESET) 자신의 입력 단자(D)로 입력한다. 또한, 제 5 D F/F(51e)은 자신의 출력단자(Q)로 나온 신호를 제 6 D F/F(51f)의 데이터 입력단자(D)에 공급한다. 그리고 제 5 D F/F(51e)은 클럭단자(CLK)로 입력되는 반전된 수직동기신호(BVSY)가 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 4차 지연된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 5 D F/F(51f)는 제 1 D F/F(51a) 내지 제 4 D F/F(51d)에 의해 4차례 지연된 리셋신호(RESET)를 1 수직동기신호에 해당하는 기간만큼 다시 지연시킨다. 즉, 제 5 D F/F(51e)은 5 차 지연시킨다.

<82> 제 6 D F/F(51f)은 제 5 D F/F(51e)의 출력단자(Q)에 출력된 5차 지연 신호를 자신의 입력 단자(D)로 입력한다. 또한, 제 6 D F/F(51f)은 자신의 출력단자(Q)로 나온 신호를 제 2 인버터(53b)에 공급한다. 그리고, 제 6 D F/F(51f)은 클럭단자(CLK)로 입력되는

반전된 수직동기신호(BVSY)가 로우(LOW) 상태에서 하이(HIGH) 상태로 변하는 시점, 즉 반전된 수직동기신호(BVSY)의 상승 에이지(rising edge)에서 자신의 입력단자(D)에 입력된 5차 지연된 신호를 자신의 출력단자(Q)쪽으로 래치시킨다. 이에 따라, 제 6 D F/F(51f)은 제 1 D F/F(51a) 내지 제 5 D F/F(51e)에 의해 5차 지연된 리셋신호(RESET)를 1 수직동기신호에 해당하는 기간만큼 또 다시 지연시킨다. 즉, 6 D F/F(51f)은 6 차 지연시킨다.

<83> 제 2 인버터(53b)는 제 6 D F/F(51f)의 출력단자(Q)를 통해 지연된 출력 신호를 반전시키고, 그 반전된 리셋신호(RESET)를 제 1 OR 게이트(57a)에 공급한다.

<84> 제 1 OR 게이트(57a)는 제 2 및 제 3 인버터(53b, 53c)의 출력신호들과 타이밍 제어부(58)로부터의 게이트출력인에이블입력신호(GOE_IN)를 논리합(즉,OR) 연산을 수행한다. 즉, 제 1 OR 게이트(57a)는 각각의 D F/F들(51) 및 제 2 인버터(53b)에 의해 지연 반전된 리셋신호(RESET)와 제 3 인버터(53c)에 의해 반전된 리셋신호(RESET)의 논리상태에 따라 게이트출력인에이블입력(GOE_IN)신호를 절환하게 된다. 이 제 1 OR 게이트(57a)에 의해 도 6에 도시된 것처럼 리셋신호(RESET)가 로우(LOW) 논리에서 하이(HIGH) 논리로 변한 시점으로부터 6 개의 수직동기신호의 기간동안 차단되는 형태의 파형을 가진다.

<85> 결과적으로, 마스킹부는 도 6에서와 같이, 리셋신호가 로우(LOW) 논리를 유지하는 기간은 물론이거니와 리셋신호(RESET)가 로우(LOW) 논리에서 하이(HIGH) 논리로 변한 시점으로부터 6개의 수직동기신호에 해당하는 기간동안 게이트출력인에이블신호(GOE)를 추가로 더 차단하게 된다.

<86> 한편, 도 5에 도시된 제 2 마스킹부를 참조하면, 제 2 마스킹부(39)는 게이트 하이 전압의 이상구간을 감지하여 게이트전압이상감지신호(GOEAB)를 발생하는

검출부(67)와, 검출부(67)의 출력신호를 일정기간동안 더 확장시켜주는 기간확장부(69)와, 검출부(67) 및 기간확장부(69)의 출력신호에 의해 1 차 마스킹 되어진 게이트출력인 에이블신호(GOE_1)를 절환하는 절환부(71)를 구비한다.

<87> 검출부(67)는 게이트하이전압(VGH) 입력단자(59)를 통해 게이트하이전압(VGH)이 일정한 전압 이상을 유지하는지 이하로 떨어지는지 검출한다. 이러한 검출부(67) 게이트하이전압(VGH)이 일정한 전압 이상을 유지하는 정상상태에는 로우(LOW)논리, 일정한 전압 이하로 떨어지는 이상상태에는 하이(HIGH) 논리의 게이트전압이상감지신호(GOEAB)신호를 발생한다.

<88> 기간확장부(69)는 검출부(67)의 출력단자에 직렬접속되어진 2개의 D F/F(61)를 구비한다.

<89> 제 1 D F/F(61a)은 상기 검출부(67)의 출력단자로부터의 게이트전압이상감지신호(GOEAB)신호를 자신의 입력단자(D)로, 동기신호입력단자(63)로부터의 수직동기신호(BVSY)를 클럭단자(CLK)에 입력한다. 제 1 D F/F(61a)은 검출부(67)로부터 자신의 데이터입력단자(D)로 입력되는 게이트전압이상감지신호(GOEAB)를 수직동기신호(BVSY)에 동기되게 자신의 출력단자(Q)쪽으로 래치시킨다. 다시 말하여, 제 1 D F/F(61a)은 1 수직동기신호에 해당하는 기간만큼 게이트전압이상감지신호(GOEAB)를 지연시킨다.

<90> 제 2 D F/F(61b)은 제 1 D F/F(61a)의 출력단자로부터 1차 지연된 게이트전압이상감지신호(GOEAB)를 자신의 데이터 입력단자(D)쪽으로, 동기신호입력단자(63)로부터의 수직동기신호(BVSY)를 자신의 클럭단자(CLK)에 입력한다. 이 제 2 D F/F(61b)은 제 1 D F/F(61a) 의 출력단자(Q)로부터 자신의 데이터입력단자(D)로 입력되는 1차 지연된 게이트전압이상감지신호(GOEAB)를 자신의 출력단자(Q)쪽으로 래치시킨다. 즉, 제 2 D

F/F(61b)은 1 수직동기신호에 해당하는 기간만큼 다시 지연시킨다. 제 2 D F/F(61b)는 재차 지연되어진 게이트전압이상감지신호(GOEAB)를 OR게이트(57b)에 공급한다. 결과적으로, 제 1 및 제 2 D F/F(61a,61b)는 검출부(67)로부터의 게이트전압이상감지신호(GOEAB)를 2개의 수직동기신호(BVSY)의 해당하는 기간만큼 지연시킨다.

<91> 절환부(71)는 제 2 D F/F(61b)에 직렬접속되어진 2개의 OR 게이트(57b,57c)를 구비 한다.

<92> 제 2 OR 게이트(57b)는 검출부(67)로부터의 게이트전압이상감지신호(GOEAB)와 제 2 D F/F(61b)의 출력단자(Q)로부터의 지연된 게이트전압이상감지신호(GOEAB) 논리합(즉, OR) 연산을 수행한다. 다시 말하여, 제 2 OR 게이트(57b)는 검출부(67)로부터의 게이트 전압이상감지신호(GOEAB)와 제 2 D F/F(61b)의 출력단자(Q)로부터의 지연된 게이트전압 이상감지신호(GOEAB)에 의해 제 2 의 D F/F(61b)이 제 2 OR 게이트(57b)에 의해 설정되는 제 2 마스킹 구간은 게이트하이전압(VGH)에 이상이 있는 구간에 2 개의 수직동기신호에 해당하는 기간이 추가되어진 기간을 가지게 된다.

<93> 제 3 OR 게이트(57c)는 제 2 OR 게이트(57b)의 출력신호와 제 1 OR 게이트(57a)로부터의 1 차 마스킹된 게이트출력인에이블신호(GOE_1)를 논리합 연산한다. 이 결과, 1차 마스킹된 게이트 출력 인에이블 신호(GOE_1)는 제 2 OR 게이트(57b)에 의해 설정된 제 2 마스킹구간동안 차단되게 된다.

<94> 이에 따라, 제 2 마스킹부(39)는 게이트하이전압(VGH)이 하이(HIGH)상태에서 로우 (LOW)로 나타나는 이상 현상 발생시 이상 구간은 물론 그것에 2개의 수직동기신호에 해당하는 기간이 더해진 기간동안 1차 마스킹된 게이트출력인에이블신호(GOE_1)를 재차 마스킹(masking)한다.

<95> 따라서, GOE 마스킹부(41)는 타이밍 제어 신호 중 하나인 게이트출력인에이블신호(GOE)를 선택적으로 마스킹(masking)하여 공급한다.

<96> 도 7은 도 5의 검출부의 상세한 구성을 도시한 도면이다.

<97> 도 7를 참조하면, 검출부는 게이트하이전압의 전압레벨을 감지하는 감지부(73)와, 상기 감지부(73)에 의해 감지된 전압레벨에 따라 논리화시키는 논리신호발생부(75)를 구비한다.

<98> 감지부(73)는 게이트하이전압(VGH)와 기저전압(GND) 사이에 제 1 저항(R1)과 제 2 저항(R2)이 직렬 연결되어 있다. 게이트하이전압(VGH)와 기저전압(GND) 사이에 걸리는 전압은 직렬 연결된 제 1 저항(R1)과 제 2 저항(R2)에 의해 분압된다. 분압된 전압은 노드(N1)을 통해 트랜지스터(Q1)의 베이스(Base)단자에 공급된다.

<99> 게이트하이전압(VGH)이 일정한 전압 이상을 유지하는 정상 전압이면, 제 1 저항(R1)과 제 2 저항(R2)의 노드(N1)에 인가된 전압은 문턱 전압의 이상을 가진다. 이러한 문턱 전압의 이상의 전압으로 트랜지스터(Q1)은 턴-온(Turn-On)시킨다. 이 때, 제 1 D F/F(61a)와 제 2 OR 게이트(57b)에는 하이(HIGH)논리의 게이트전압이상감지신호(GOEAB)가 공급되게 된다.

<100> 한편, 게이트하이전압(VGH)이 일정한 전압 이하로 떨어지는 이상 전압이면, 제 1 저항(R1)과 제 2 저항(R2)의 노드(N1)에 인가된 전압은 문턱 전압의 이하를 가진다. 이러한 문턱 전압의 이하의 전압으로 트랜지스터(Q1)은 턴-오프(Turn-Off)시킨다. 이에 따라, 제 1 D F/F(61a)와 제 2 OR 게이트(57b)에는 게이트하이전압(VGH)에 이상이 있음을 나타내는 로우(LOW)논리의 게이트전압이상감지신호(GOEAB)가 공급된다.

<101> 상기 트랜지스터(Q1)는 문턱전압을 가진다. 상기 감지부(73)에 의해 분압된 전압이 문턱전압 이상을 가지면, 트랜지스터(Q1)는 턴-온(Turn-On)된다.

<102> 트랜지스터(Q1)가 턴-온(Turn-On)되면 전원전압(Vcc)은 제 3 저항(R3) 및 트랜지스터(Q1)의 콜렉터 및 이미터를 통해 기저전압(GND)으로 바이패스(bypass)된다. 이에 따라, 게이트전압이상감지신호(GOEAB)신호는 게이트하이전압(VGH)에 이상이 있음을 나타내는 로우(LOW) 상태를 가진다.

<103> 한편, 상기 감지부(73)에 분압된 전압이 문턱전압 이하를 가지면, 트랜지스터(Q1)는 턴-오프(Turn-Off)된다.

<104> 트랜지스터(Q1)가 턴-오프(Turn-Off)되면 제 1 저항(R1)과 제 2 저항(R2)에 분압되어 분압된 전압이 노드(N2)에 나타나게 한다. 이에 따라, 노드(N2)에 나타나는 게이트전압이상감지신호(GOEAB)는 게이트하이전압(VGH)가 정상임을 나타내는 하이(HIGH)논리를 가지게 된다.

<105> 이렇게 동작하는 트랜지스터(Q1)은 제 3 및 제 4 저항(R3,R4)와 함께 논리신호발생부(75)를 구성하게 된다. 트랜지스터(Q1)은 스위치 소자로, 제 3 저항(R3)는 풀-업(pull-up)용 저항으로, 그리고 제 4 저항(R4)는 트랜지스터(Q1)의 출력저항으로 사용되게 된다.

<106> 도 8은 본 발명의 실시예에 따른 액정표시장치의 구동방법을 단계적으로 도시한 풀로우 챕트이다.

<107> 제 1 단계(S1)에서는 검출부(67)의 게이트하이전압(VGH)입력단자(59)에 게이트하이전압(VGH)이 인가되면, 제 3 단계(S3)에서는 인가된 게이트하이전압(VGH)이 문턱전압의 이상을 유지하는 정상상태인지, 문턱전압의 이하로 떨어지는 이상상태인지를 판별한다.

<108> 제 3 단계(S3)에서 입력된 게이트하이전압(VGH)이 문턱전압 이상을 유지하는 정상상태의 전압이라면, 게이트전압이상감지신호(GOEAB)는 로우(LOW)상태를 유지한다.(제 S5 단계)

<109> 한편, 제 3 단계(S3)에서 입력된 게이트하이전압(VGH)이 문턱전압 이하로 떨어지는 이상 상태의 전압이라면, 게이트전압이상감지신호(GOEAB)는 하이(HIGH)상태를 유지한다.(제 S7 단계)

<110> 제 5 단계(S5)에서 출력된 게이트전압이상감지신호(GOEAB)가 로우(LOW)상태의 신호, 게이트하이전압(VGH)가 문턱 전압 이상을 유지하는 정상 상태의 전압이면, 차단부에 지연된 신호와 제 1 마스킹부(37)의 출력 신호인 1차 마스킹된 게이트출력인에이블신호(GOE_1)를 마스킹(masking)하면 최종 게이트출력인에이블(GOE) 출력 신호로는 1차 마스킹된 게이트출력인에이블신호(GOE_1)가 출력한다. (제 S9 단계)

<111> 한편, 제 7 단계(S7)에서 출력된 게이트전압이상감지신호(GOEAB)가 하이(HIGH)상태이면, 즉 게이트하이전압(VGH)가 문턱 전압 이하로 떨어지는 이상 상태의 전압이면, 최종 게이트전압이상감지신호(GOEAB) 출력 신호는 게이트하이전압(VGH)가 규정된 전압레벨 이하로 떨어진 이상상태기간동안 차단되게 된다. (제 S11 단계)

<112> 상기 동작을 반복하므로 리턴한다.

【발명의 효과】

<113> 상술한 바와 같이, 본 발명에 따른 액정표시장치에서는 전원의 불안정으로 게이트 하이전압(VGH)이 하이(HIGH)상태에서 로우(LOW)상태로 떨어지는 이상현상 발생시 게이트 출력인에이블(GOE)신호를 마스킹(masking)하여 과전류의 발생을 방지함으로써 액정표시장치의 회로 소자, 즉 게이트 드라이버, 액정패널 및 데이터 드라이버를 보호할 수 있고, 이 결과 액정표시장치는 신뢰도를 향상시킬 수 있게 된다.

<114> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정을 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

액정패널 상의 게이트 라인들을 구동하는 게이트 드라이버와;

상기 게이트 드라이버를 제어하는 타이밍 제어부와;

상기 타이밍 제어부로부터 상기 게이트 드라이버에 공급될 게이트 출력 인에이블 신호를 게이트 하이 전압의 상태에 따라 선택적으로 차단하는 마스킹부를 구비하는 것을 특징으로 하는 액정표시장치.

【청구항 2】

제 1 항에 있어서,

상기 마스킹부는 상기 게이트하이전압이 규정된 전압이하로 떨어지는 이상구간시 상기 게이트출력인에이블 신호를 차단하는 것을 특징으로 하는 액정표시장치.

【청구항 3】

제 1 항에 있어서,

상기 마스킹부는,

상기 게이트하이전압의 이상구간을 감지하여 게이트전압이상감지신호를 발생하는 검출부와;

상기 게이트전압이상감지신호에 따라 상기 게이트출력인에이블신호와 상기 게이트 전압이상감지신호를 절환하는 절환부를 구비하는 것을 특징으로 하는 액정표시장치.

【청구항 4】

제 3 항에 있어서,

상기 검출부와 상기 절환부 사이에 접속되어 상기 게이트전압이상감지신호를 이용해서 상기 게이트출력인에이블신호가 차단되는 기간을 일정기간 더 확장하기 위한 기간 확장부를 더 구비하는 것을 특징으로 하는 액정표시장치.

【청구항 5】

제 4 항에 있어서,
상기 기간확장부는,
상기 게이트전압이상감지신호를 일정기간동안 지연시켜 상기 절환부로 공급하는 것을 특징으로 하는 액정표시장치.

【청구항 6】

제 3 항에 있어서,
상기 검출부는,
상기 게이트하이전압의 전압 레벨을 감지하는 감지부와,
상기 감지된 게이트하이전압의 전압 레벨에 따라 하이 상태 및 로우 상태 중 어느 한 논리상태를 가지는 상기 게이트전압이상감지신호를 발생하여 상기 절환부로 공급하는 논리신호발생부를 구비하는 것을 특징으로 하는 액정표시장치.

【청구항 7】

제 2 항에 있어서,
상기 타이밍 제어부로부터 상기 마스킹부로 공급될 상기 게이트출력인에이블신호를 상기 리셋 신호에 따라 선택적으로 차단하는 제 2 마스킹부를 더 구비하는 것을 특징으로 하는 액정표시장치.

【청구항 8】

게이트하이전압의 이상 유무를 감지하여 게이트전압이상감지신호를 발생하는 단계와;

상기 게이트전압이상감지신호에 따라 타이밍제어부로부터 게이트 드라이버로 공급될 게이트출력인에이블신호를 선택적으로 차단하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

【청구항 9】

제 8 항에 있어서,

상기 게이트출력인에이블신호를 선택적으로 차단하는 단계는,
상기 게이트하이전압이 규정된 전압이하로 떨어지는 이상구간시 차단하는 단계인 것을 특징으로 하는 액정표시장치의 구동방법.

【청구항 10】

제 8 항에 있어서,

상기 게이트전압이상감지신호를 발생하는 단계는,
상기 게이트하이전압의 전압레벨을 감지하는 단계와;
상기 감지된 전압레벨에 따라 하이 상태 및 로우 상태 중 어느 한 논리상태를 가지는 상기 게이트전압이상감지신호를 발생하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

【청구항 11】

제 8 항에 있어서,

상기 게이트전압이상감지신호에 응답하여 상기 게이트출력인에이블신호가 일정기간 더 차단되게 하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

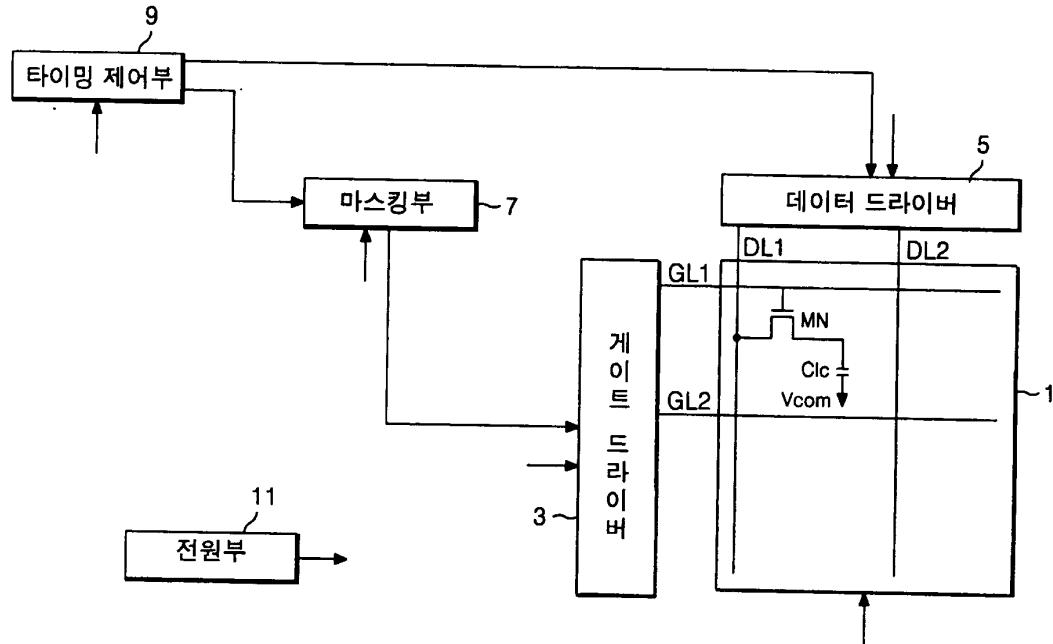
【청구항 12】

제 8 항에 있어서,

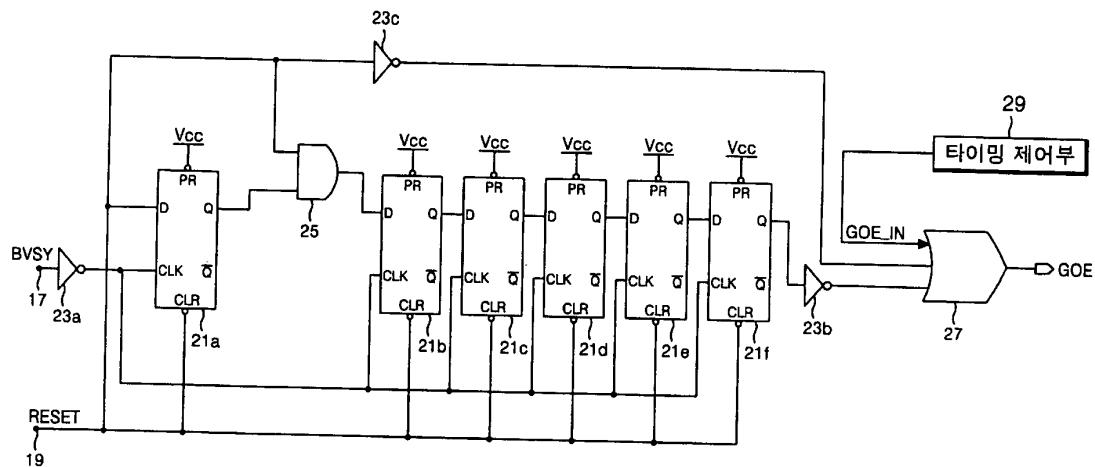
상기 게이트출력인에이블신호를 선택적으로 차단하는 단계는,
상기 게이트하이전압이 정상상태인 경우 상기 게이트출력인에이블신호가 게이트 드
라이버로 출력되게 하고, 상기 게이트하이전압이 이상상태인 경우 상기 게이트출력인에
이블신호가 차단되게 하는 것을 특징으로 하는 액정표시장치의 구동방법.

【도면】

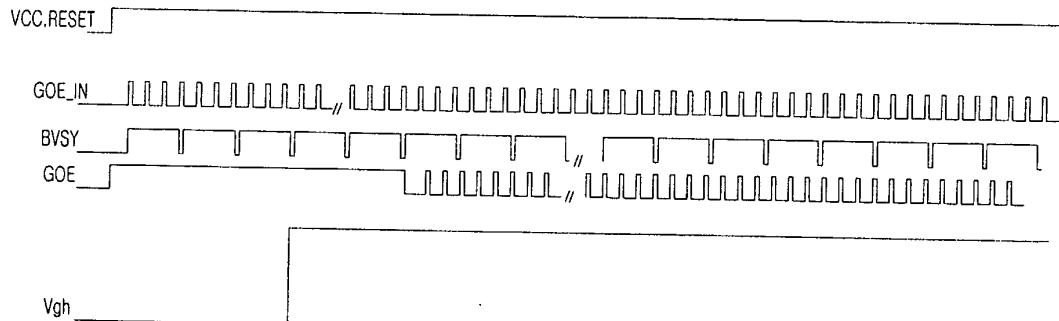
【도 1】



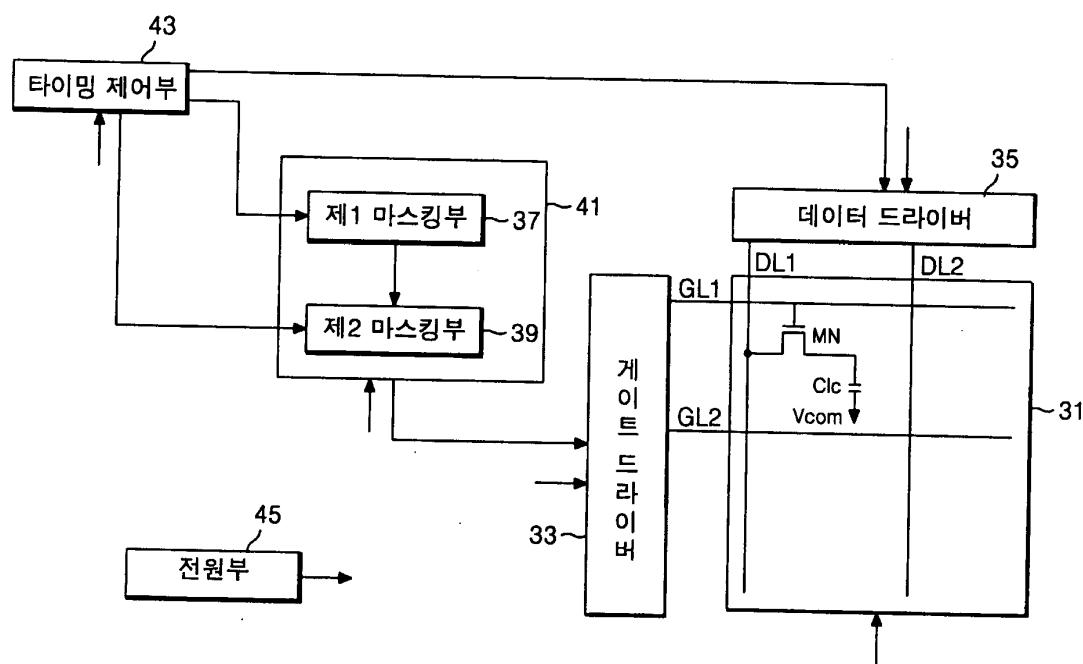
【도 2】



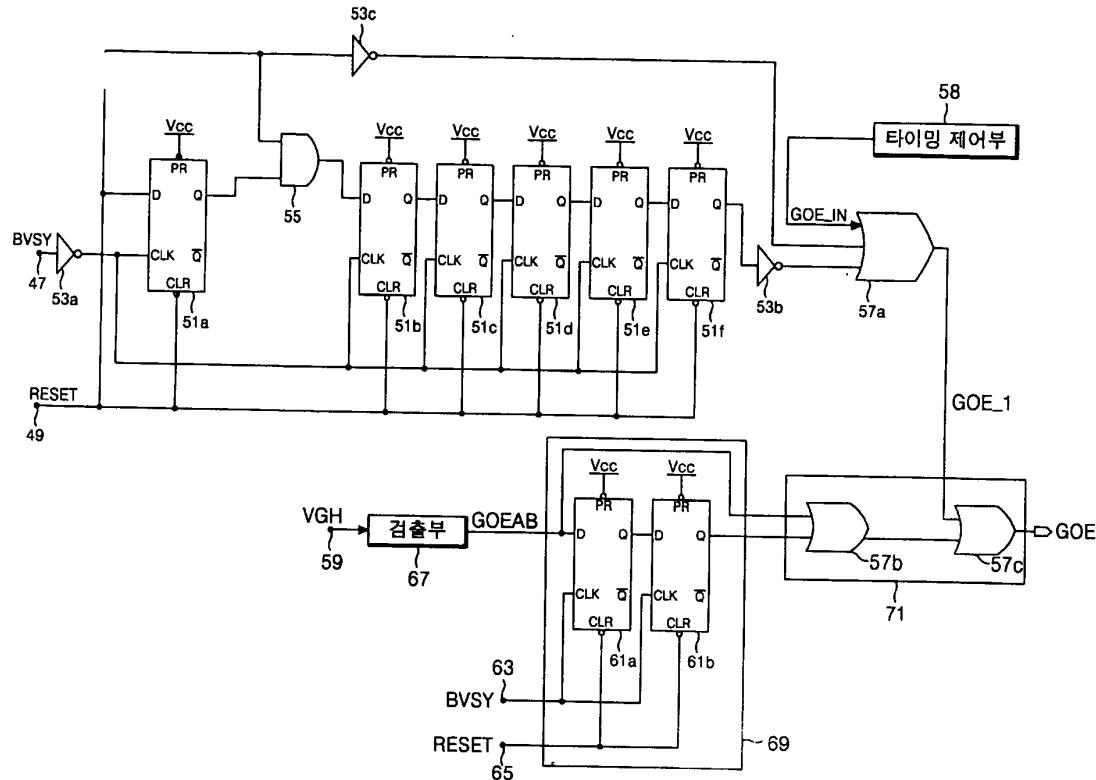
【도 3】



【도 4】

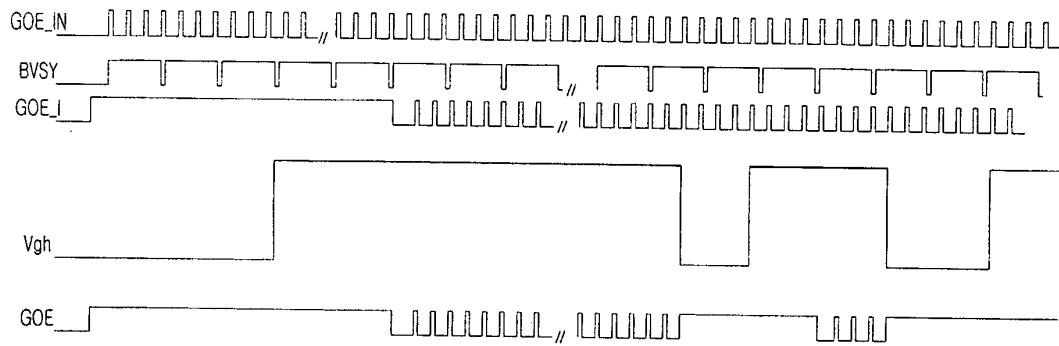


【도 5】



【도 6】

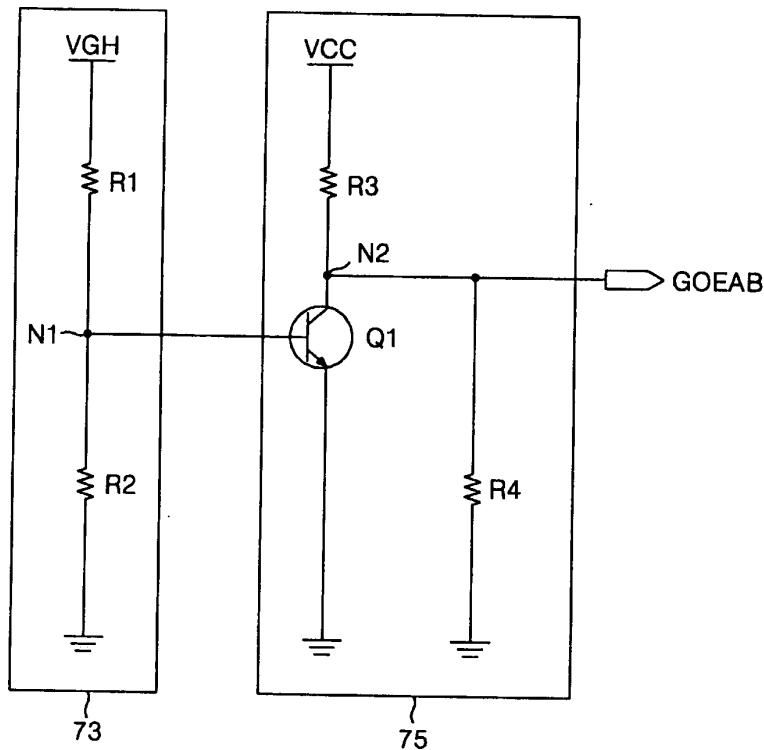
VCC,RESET



1020020073086

출력 일자: 2003/2/25

【도 7】



【도 8】

